

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC997 U.
09/95
09/19

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 9月19日

出 願 番 号

Application Number:

特願2000-283337

出 願 人

Applicant (s):

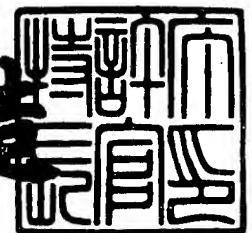
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 9日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3017980

【書類名】 特許願

【整理番号】 12660501

【提出日】 平成12年 9月19日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/08

【発明の名称】 位相比較回路およびフェーズ・ロックド・ループ回路

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 矢 部 友 章

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 神奈川県川崎市幸区堀川町72番地

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100064285

 【弁理士】

 【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

 【弁理士】

 【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

 【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相比較回路およびフェーズ・ロックド・ループ回路

【特許請求の範囲】

【請求項 1】

第 1 クロック信号が第 2 クロック信号よりも位相が進んでいる場合にはアップ信号を出力し、前記第 1 クロック信号が前記第 2 クロック信号よりも位相が遅れている場合にはダウン信号を出力する位相比較回路において、

第 1、第 2 および第 3 フリップフロップを備え、

前記第 1 フリップフロップは、前記第 1 および第 2 クロック信号の少なくとも一方が第 1 論理のときにリセット状態になり、かつ前記第 2 および第 3 フリップフロップがともにセット状態のときにセット状態になり、

前記第 2 フリップフロップは、前記第 1 クロック信号が第 2 論理で前記第 1 フリップフロップがリセット状態のときにセット状態になり、かつ前記第 2 および第 3 フリップフロップがともにセット状態のときにリセット状態になり、

前記第 3 フリップフロップは、前記第 2 クロック信号が第 2 論理で前記第 1 フリップフロップがリセット状態のときにセット状態になり、かつ前記第 2 および第 3 フリップフロップがともにセット状態のときにリセット状態になり、

前記第 2 および第 3 フリップフロップの出力に基づいて、前記アップ信号および前記ダウン信号を出力することを特徴とする位相比較回路。

【請求項 2】

前記第 1 および第 2 クロック信号の少なくとも一方が前記第 1 論理のときに前記第 1 フリップフロップをリセットさせる第 1 論理回路と、

前記第 1 フリップフロップがリセット状態で、前記第 1 クロック信号が前記第 2 論理のときに前記第 2 フリップフロップをセット状態にする第 2 論理回路と、

前記第 1 フリップフロップがリセット状態で、前記第 2 クロック信号が前記第 2 論理のときに前記第 3 フリップフロップをセット状態にする第 3 論理回路と、

前記第 2 および第 3 フリップフロップがともにセット状態のときに、前記第 2 および第 3 フリップフロップをリセット状態にする第 4 論理回路と、

前記第 2 フリップフロップがセット状態で、前記第 3 フリップフロップがリセ

ット状態のときに前記アップ信号を出力する第5論理回路と、

前記第3フリップフロップがセット状態で、前記第2フリップフロップがリセット状態のときに前記ダウン信号を出力する第6論理回路と、を備えることを特徴とする請求項1に記載の位相比較回路。

【請求項3】

前記第1フリップフロップは、前記第1論理回路の出力が第1論理のときにリセット状態になり、かつ前記第4論理回路の出力が前記第1論理のときにセット状態になり、

前記第2フリップフロップは、前記第2論理回路の出力が前記第1論理のときにセット状態になり、かつ前記第4論理回路の出力が前記第1論理のときにリセット状態になり、

前記第3フリップフロップは、前記第3論理回路の出力が前記第1論理のときにセット状態になり、かつ前記第4論理回路の出力が前記第1論理のときにリセット状態になることを特徴とする請求項2に記載の位相比較回路。

【請求項4】

前記第1、第2および第3フリップフロップはそれぞれ、第1および第2NANDゲートを有し、

前記第1NANDゲートは、セット入力端子と前記第2NANDゲートの出力端子との間でNAND演算を行い、

前記第2NANDゲートは、リセット入力端子と前記第1NANDゲートの出力端子との間でNAND演算を行い、

前記第1NANDゲートの出力がそれぞれ前記第1、第2および第3フリップフロップの出力になることを特徴とする請求項3に記載の位相比較回路。

【請求項5】

前記第1フリップフロップは、前記第1論理回路の出力が前記第2論理のときにリセット状態になり、かつ前記第4論理回路の出力が前記第2論理のときにセット状態になり、

前記第2フリップフロップは、前記第2論理回路の出力が前記第2論理のときにセット状態になり、かつ前記第4論理回路の出力が前記第2論理のときにリセ

ット状態になり、

前記第 3 フリップフロップは、前記第 3 論理回路の出力が前記第 2 論理のときにセット状態になり、かつ前記第 4 論理回路の出力が前記第 2 論理のときにリセット状態になることを特徴とする請求項 2 に記載の位相比較回路。

【請求項 6】

前記第 1、第 2 および第 3 フリップフロップはそれぞれ、第 1 および第 2 NOR ゲートと、インバータとを有し、

前記第 1 NOR ゲートは、セット入力端子と前記第 2 NOR ゲートの出力端子との間で NOR 演算を行い、

前記第 2 NOR ゲートは、リセット入力端子と前記第 1 NOR ゲートの出力端子との間で NOR 演算を行い、

前記インバータは、前記第 1 NOR ゲートの出力を反転出力し、

前記インバータの出力がそれぞれ前記第 1、第 2 および第 3 フリップフロップの出力になることを特徴とする請求項 5 に記載の位相比較回路。

【請求項 7】

前記アップ信号および前記ダウン信号に応じた電圧信号を出力するチャージポンプと、

前記チャージポンプの出力に含まれる高周波成分を除去するループフィルタと

前記ループフィルタの出力電圧に応じた周波数の信号を出力する電圧制御発振回路と、

前記電圧制御発振回路の出力に応じたクロック信号を出力するクロックバッファと、

請求項 1 ～ 6 のいずれかに記載の位相比較回路と、を備え、

前記第 1 クロック信号は、外部から供給される基準クロック信号であり、

前記第 2 クロック信号は、前記クロックバッファから出力されたクロック信号に相関する信号であることを特徴とするフェーズ・ロックド・ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低電圧でも高速動作可能なフェーズ・ロックド・ループ回路（PLL回路）などに用いられる位相比較回路に関する。

【0002】

【従来の技術】

PLL回路は、周波数変動の少ない高精度のクロック信号を出力でき、また、MOSトランジスタを組み合わせる構成できるため、ディジタルLSIチップに内蔵されて、CPU等のシステムクロックを発生する回路として広く用いられている。

【0003】

PLL回路は、外部から供給される基準クロック信号と同位相のクロック信号を生成するものであり、PLL回路の内部には、基準クロック信号とPLL回路の出力クロック信号との位相を比較し、位相差に応じた信号を出力する位相比較回路が設けられている。

【0004】

図10は従来の位相比較回路の内部構成を示す回路図である。図10の位相比較回路は、それぞれ2個のNANDゲートからなる2個のセット・リセット・フリップフロップ（以下、S-Rフリップフロップ）21、22と、NANDゲートG21～G25と、インバータIV21、IV22とを備えている。

【0005】

S-Rフリップフロップ21は、NANDゲートG21の出力がローレベルのときにセット状態になり、S-Rフリップフロップ22は、NANDゲートG24の出力がローレベルのときにセット状態になる。また、両S-Rフリップフロップ21、22とも、NANDゲートG23の出力がローレベルになると、リセット状態になる。

【0006】

図11は図10の位相比較回路の動作タイミング図である。以下、図11に基づいて、図10の位相比較回路の動作を説明する。初期状態（時刻t0以前）では、NANDゲートG22の出力UPNはハイレベルで、NANDゲートG23の出力RESETnもハイレベルである。時刻t0で基準クロックREFCLKがハイレベルになると、NA

NDゲートG21の出力LC1はローレベルになる。これにより、S-Rフリップフロップ21内のNANDゲートG26の出力LO1はハイレベルになり、NANDゲートG27の出力LI1はローレベルになる。

【0007】

その後、時刻 t_1 でクロック信号CLKがハイレベルになると、NANDゲートG24の出力LC2がローレベルになり、続いてS-Rフリップフロップ22内のNANDゲートG28の出力LO2がハイレベルになり、NANDゲートG29の出力LI2がローレベルになる。

【0008】

その後、時刻 t_2 で基準クロックREFCLKがローレベルになると、NANDゲートG21の出力LC1はハイレベルになり、続いてNANDゲートG22の出力UPNはローレベルになり、インバータIV21の出力UPはハイレベルになる。

【0009】

その後、時刻 t_3 でクロック信号CLKがローレベルになると、NANDゲートG24の出力LC2がハイレベルになる。これによりNANDゲートG23の出力RESETnはローレベルになり、続いてNANDゲートG22の出力UPNはハイレベルになり、インバータIV21の出力UPはローレベルになる。

【0010】

その後、時刻 t_4 で基準クロック信号REFCLKがハイレベルになると、時刻 $t_1 \sim t_4$ の動作が繰り返される。

【0011】

【発明が解決しようとする課題】

図10において、クロック信号CLKの立ち下がりを受けて、NANDゲートG22の出力UPNがハイレベルになってから、次のクロックサイクルの初期化が始まる基準クロック信号REFCLKの立ち上がりまでの時間差を Δt_{31} とすると、基準クロック信号REFCLKに対するクロック信号CLKの位相遅れ時間 Δt_{11} が大きいほど、 Δt_{31} は小さくなる。

【0012】

基準クロック信号REFCLKやクロック信号CLKの周波数が高くなるほど、 Δt

31も小さくなってゼロに近づいていく。 Δt_{31} が負になると、次のクロックサイクルにおいて、基準クロック信号REFCLKが立ち上がった時点でNANDゲートG22の出力UPNがローレベルのままになり、NANDゲートG21の出力LC1をローレベルに設定できなくなり、正常に動作しなくなってしまう。

【0013】

すなわち、図10に示す従来の位相比較回路の最大動作周波数は、 Δt_{11} が大きくなって Δt_{31} がゼロになるクロック周波数で規定される。従来例では、基準クロック信号REFCLKに対するクロック信号CLKの位相遅れが大きい場合に、UP信号の前段信号であるUPN信号が確定してから次のサイクルの開始点である基準クロックREFCLKの立ち上がりまでのタイミングマージンが小さくなり、最大動作周波数が低くなるという問題があった。

【0014】

以上では、基準クロック信号REFCLKに対してクロック信号CLKの位相遅れが大きい場合を例にとって説明したが、基準クロック信号REFCLKに対してクロック信号CLKの位相遅れが小さい場合も同様の問題が生じる。この場合の回路の初期化は、基準クロック信号REFCLKではなく、クロック信号CLKの立ち上がりで行われる。

【0015】

本発明は、このような点に鑑みてなされたものであり、その目的は、最大動作周波数を高く設定できる位相比較回路およびフェーズ・ロックド・ループ回路を提供することにある。

【0016】

【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、第1クロック信号が第2クロック信号よりも位相が進んでいる場合にはアップ信号を出力し、前記第1クロック信号が前記第2クロック信号よりも位相が遅れている場合にはダウン信号を出力する位相比較回路において、第1、第2および第3フリップフロップを備え、前記第1フリップフロップは、前記第1および第2クロック信号の少なくとも一方が第1論理のときにリセット状態になり、かつ前記第2および第3フリッ

フリップフロップがともにセット状態のときにセット状態になり、前記第2フリップフロップは、前記第1クロック信号が第2論理で前記第1フリップフロップがリセット状態のときにセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにリセット状態になり、前記第3フリップフロップは、前記第2クロック信号が第2論理で前記第1フリップフロップがリセット状態のときにセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにリセット状態になり、前記第2および第3フリップフロップの出力に基づいて、前記アップ信号および前記ダウン信号を出力する。

【0017】

本発明では、第1～第3のフリップフロップを設けて、第1クロック信号と第2クロック信号との位相差が大きくても誤動作を起こさないようにしたため、最大動作周波数を高く設定できる。

【0018】

【発明の実施の形態】

以下、本発明に係る位相比較回路およびフェーズロックドループ回路（PLL回路）について、図面を参照しながら具体的に説明する。

【0019】

（第1の実施形態）

図1は本発明に係る位相比較回路10の第1の実施形態の回路図である。図1の位相比較回路10は、それぞれ2個のNANDゲートからなる3個のS-Rフリップフロップ1～3と、NANDゲートG1～G6と、インバータIV1～IV6とを備えている。

【0020】

S-Rフリップフロップ1は、2個のNANDゲートを有し、一方のNANDゲートG7はセット入力端子RLと他方のNANDゲートG8の出力RIとの間でNAND演算を行い、他方のNANDゲートG8はリセット入力端子RSと一方のNANDゲートの出力RRとの間でNAND演算を行う。NANDゲートG7の出力がS-Rフリップフロップ1の出力になる。

【0021】

なお、S-Rフリップフロップ1が第1フリップフロップに対応し、S-Rフリップフロップ2が第2フリップフロップに対応し、S-Rフリップフロップ3が第3フリップフロップに対応する。

【0022】

図1の回路は、S-Rフリップフロップ1～3をそれぞれブロックで表し、かつNANDゲートG5とインバータIV5をANDゲートG5aに置き換え、同様にNANDゲートG6とインバータIV6をANDゲートG6aに置き換えると、図2のような回路図になる。また、図2のS-Rフリップフロップ1～3は、図3のような回路で表される。

【0023】

図2のNANDゲート（第1論理回路）G1は、基準クロック信号REFCLKとクロック信号CLKとの間でNAND演算を行う。より具体的には、基準クロック信号（第1クロック信号）REFCLKとクロック信号（第2クロック信号）CLKの少なくとも一方がローレベルのときに、NANDゲートG1はハイレベル信号を出力し、S-Rフリップフロップ1はリセット状態になる。

【0024】

NANDゲート（第2論理回路）G2は、S-Rフリップフロップ1がリセット状態で、基準クロック信号REFCLKがハイレベルのときに、S-Rフリップフロップ2をセット状態にする。

【0025】

NANDゲート（第3論理回路）G3は、S-Rフリップフロップ1がリセット状態で、クロック信号CLKがハイレベルのときに、S-Rフリップフロップ3をセット状態にする。

【0026】

NANDゲート（第4論理回路）G4は、S-Rフリップフロップ2, 3がともにセット状態のときに、S-Rフリップフロップ2, 3をリセット状態にし、かつS-Rフリップフロップ1をセット状態にする。

【0027】

図2のANDゲート（第5論理回路）G5aは、S-Rフリップフロップ2が

セット状態で、S-Rフリップフロップ3がリセット状態のときに、ハイレベルのUP信号を出力する。図2のANDゲート（第6論理回路）G6aは、S-Rフリップフロップ3がセット状態で、S-Rフリップフロップ2がリセット状態のときに、ハイレベルのDOWN信号を出力する。

【0028】

図4は図1の位相比較回路10の動作タイミング図である。以下、図の動作タイミング図に基づいて、図1の位相比較回路10の動作を説明する。

【0029】

時刻 t_0 以前は、インバータIV1の出力RESETnはハイレベル、S-Rフリップフロップ2, 3内のNANDゲート出力LN1, LN2はハイレベルである。時刻 t_0 で基準クロック信号REFCLKがハイレベルになると、NANDゲートG2の出力LT1はローレベルになり、NANDゲートG9の出力LS1はハイレベルになる。これにより、NANDゲートG10の出力LN1はローレベルになり、またインバータIV5の出力UPはハイレベルになる。

【0030】

その後、時刻 t_1 でクロック信号CLKがハイレベルになると、NANDゲートG3の出力LT2はローレベルになり、またインバータIV4の出力RSはハイレベルになる。出力LT2がローレベルになることにより、NANDゲートG11の出力LS2はハイレベルになり、インバータIV5の出力UPはローレベルになる。

【0031】

また、出力LS2がハイレベルになることにより、NANDゲートG4の出力RLはローレベルになり、S-Rフリップフロップ1の出力RRの出力はハイレベルになるとともに、NANDゲートG10, G11の出力LN1, LN2がハイレベルになる。

【0032】

また、出力RRがハイレベルになることにより、出力RIがローレベルになり、インバータIV1の出力RESETnがローレベルになる。出力RESETnがローレベルになることにより、NANDゲートG2, G3の出力LT1, LT2がハイレベルになる。

【 0 0 3 3 】

出力 L T 1 がハイレベルになることにより、S - R フリップフロップ 2 の出力 L S 1 がローレベルになり、続いて NAND ゲート G 4 の出力 R L がハイレベルになる。

【 0 0 3 4 】

その後、時刻 t_2 で基準クロック信号 REFCLK がローレベルになると、インバータ IV 4 の出力 R S がローレベルになり、続いて S - R フリップフロップ 1 内の NAND ゲート G 8 の出力 R I がハイレベルになり、NAND ゲート G 7 の出力 R R もローレベルになる。その結果、インバータ IV 1 の出力 RESETn はハイレベルになる。

【 0 0 3 5 】

本実施形態の位相比較回路 1 0 は、図 1 0 に示す従来の位相比較回路と比較して、クロック信号 C L K の位相が基準クロック信号 REFCLK の位相よりも大きく遅れている場合でも、回路の初期化パス（基準クロック信号 REFCLK ロウ → 出力 R S ロウ → 出力 R I ハイ → 出力 R R ロウ → 出力 RESETn ハイ）が U P 信号のパルスに律速されないため、最大動作周波数が高くなるという特徴がある。この特徴は、位相比較回路 1 0 を低電圧で動作させる場合に特に重要になる。その理由は、位相比較回路 1 0 を低電圧で動作させると、ゲート遅延により動作周波数が低くなる傾向にあるためである。

【 0 0 3 6 】

図 5 は電源電圧 (V) と最大動作周波数 (MHz) との関係を示す図であり、0.35 μ m CMOS 技術を用いた位相比較回路 1 0 の最大動作周波数の回路シミュレーション結果を示している。図中の「○」プロットは本実施形態の特性を示し、「×」プロットは従来の特性を示している。

【 0 0 3 7 】

図示のように、電源電圧 1.2 V ~ 2 V の範囲で、本実施形態の場合、従来例よりも約 4 0 % 高速動作が可能になる。

【 0 0 3 8 】

図 6 は図 1 の位相比較回路 1 0 を用いて構成した P L L 回路のブロック図である。図 6 の P L L 回路は、位相比較回路 1 0 から出力された U P 信号および DOWN

信号に応じた電圧信号を出力するチャージポンプ11と、チャージポンプ11から出力された電圧信号に含まれる高周波成分を除去するループフィルタ12と、ループフィルタ12の出力に応じた周波数で発振する電圧制御発振回路13と、電圧制御発振回路13の出力端子に接続されてクロック信号CLKを出力するクロックバッファ14とを有する。

【0039】

なお、図6では省略しているが、クロックバッファ14から出力されたクロック信号CLKを分周した信号を位相比較回路10に供給して基準クロック信号と位相比較を行ってもよい。

【0040】

図7は図6のPLL回路の動作タイミング図であり、図7(a)は基準クロック信号REFCLKの位相がクロック信号CLKの位相よりも進んでいる場合、図7(b)は基準クロック信号REFCLKの位相がクロック信号CLKの位相よりも遅れている場合を示している。

【0041】

図7(a)の場合、位相比較回路10からハイレベルのUP信号が出力され、チャージポンプ11は出力電圧を高くする制御を行う。一方、図7(b)の場合、位相比較回路10からハイレベルのDOWN信号が出力され、チャージポンプ11は出力電圧を低くする制御を行う。

【0042】

このように、第1の実施形態では、基準クロック信号REFCLKとクロック信号CLKとの位相差が大きくても両信号の位相差に応じたUP信号およびDOWN信号を出力できるようにしたため、従来よりも最大動作周波数を高くすることができる。

【0043】

(第2の実施形態)

第2の実施形態は、S-Rフリップフロップのセット入力端子とリセット入力端子の論理が第1の実施形態と異なるものである。

【0044】

図 8 は本発明に係る位相比較回路 1 0 の第 2 の実施形態の回路図である。図 8 の位相比較回路 1 0 は、セット入力端子およびリセット入力端子がともに正論理の 3 個の S-R フリップフロップ 1 a, 2 a, 3 a と、AND ゲート G 2 a, G 3 a, G 4 a, G 5 a, G 6 a と、NAND ゲート G 1 と、インバータ IV 1 ~ IV 3 とを備えている。

【 0 0 4 5 】

S-R フリップフロップ 1 a は、NAND ゲート G 1 の出力がハイレベルのときにリセット状態になり、かつ AND ゲート G 4 a の出力がハイレベルのときにセット状態になる。

【 0 0 4 6 】

S-R フリップフロップ 2 a は、AND ゲート回路 G 2 a の出力がハイレベルのときにセット状態になり、かつ AND ゲート回路 G 4 a の出力がハイレベルのときにリセット状態になる。

【 0 0 4 7 】

S-R フリップフロップ 3 a は、AND ゲート回路 G 3 a の出力がハイレベルのときにセット状態になり、かつ AND ゲート回路 G 4 a の出力がハイレベルのときにリセット状態になる。

【 0 0 4 8 】

図 9 は図 8 の S-R フリップフロップの内部構成を示す回路図である。図示のように、S-R フリップフロップ 1 a, 2 a, 3 a はそれぞれ、NOR ゲート 6, 7 と、インバータ 8 とを有し、NOR ゲート 6 は、セット入力端子と NOR ゲート 7 の出力端子との間で NOR 演算を行い、NOR ゲート 7 は、リセット入力端子と NOR ゲート 6 の出力端子との間で NOR 演算を行い、インバータ 8 は NOR ゲート 6 の出力を反転出力し、インバータ 8 の出力が各フリップフロップの出力になる。

【 0 0 4 9 】

第 2 の実施形態の場合も、基準クロック信号 REFCLK とクロック信号 CLK との位相差が大きくても、UP 信号と DOWN 信号を正しく出力できるため、最大動作周波数を高くすることができる。

【 0 0 5 0 】

上述した第 1 の実施形態では、NANDゲートとインバータとを組み合わせる位相比較回路 1 0 を構成する例を示し、第 2 の実施形態では、NANDゲート、ANDゲートおよびインバータを組み合わせる位相比較回路 1 0 を構成する例を示したが、位相比較回路 1 0 を構成するゲートの種類は特に問わない。

【 0 0 5 1 】

【発明の効果】

以上詳細に説明したように、本発明によれば、3つのフリップフロップを設けることにより、第 1 および第 2 クロック信号の位相差が大きくても、アップ信号およびダウン信号を正しく出力できるようにしたため、最大動作周波数を高く設定できる位相比較回路およびフェーズ・ロックド・ループ回路を提供できる。したがって、低電圧での動作周波数も高くすることができ、低電圧駆動型の L S I チップに内蔵することができる。

【図面の簡単な説明】

【図 1】

本発明に係る位相比較回路 1 0 の第 1 の実施形態の回路図。

【図 2】

図 1 の等価回路図。

【図 3】

図 2 の S - R フリップフロップの回路図。

【図 4】

図 1 の位相比較回路 1 0 の動作タイミング図。

【図 5】

電源電圧 (V) と最大動作周波数 (MHz) との関係を示す図。

【図 6】

図 1 の位相比較回路 1 0 を用いて構成した PLL 回路のブロック図。

【図 7】

図 6 の PLL 回路の動作タイミング図。

【図 8】

本発明に係る位相比較回路 1 0 の第 2 の実施形態の回路図。

【図 9】

図 8 の S - R フリップフロップの内部構成を示す回路図。

【図 1 0】

従来の位相比較回路の内部構成を示す回路図。

【図 1 1】

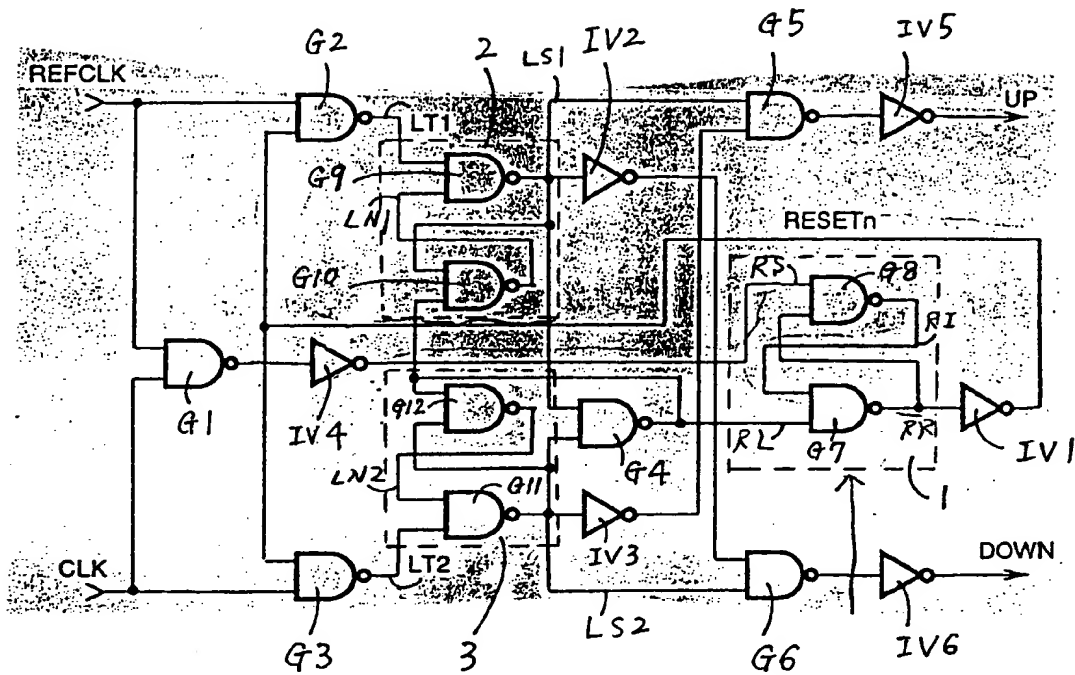
図 1 0 の位相比較回路の動作タイミング図。

【符号の説明】

- 1, 2, 3 S - R フリップフロップ
- 1 0 位相比較回路
- 1 1 チャージポンプ
- 1 2 ループフィルタ
- 1 3 電圧制御発振回路
- 1 4 クロックバッファ

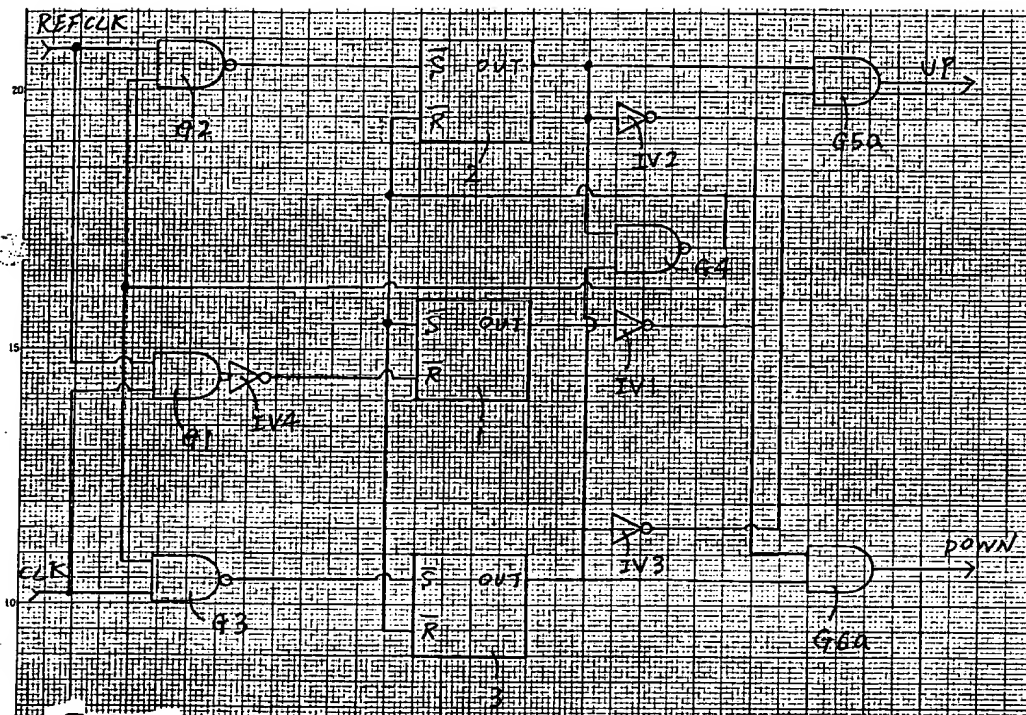
【書類名】 図面

【図 1】

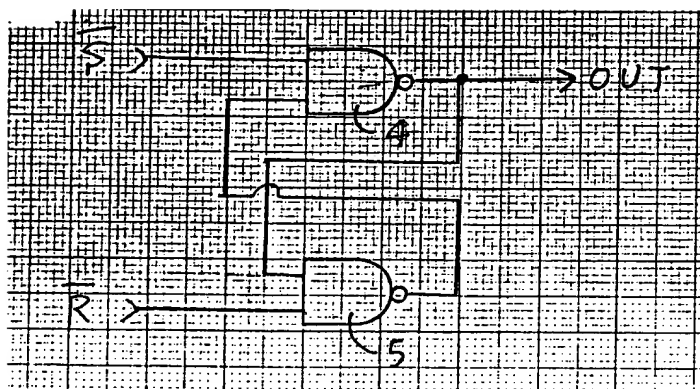


↗
10: 位相比較回路

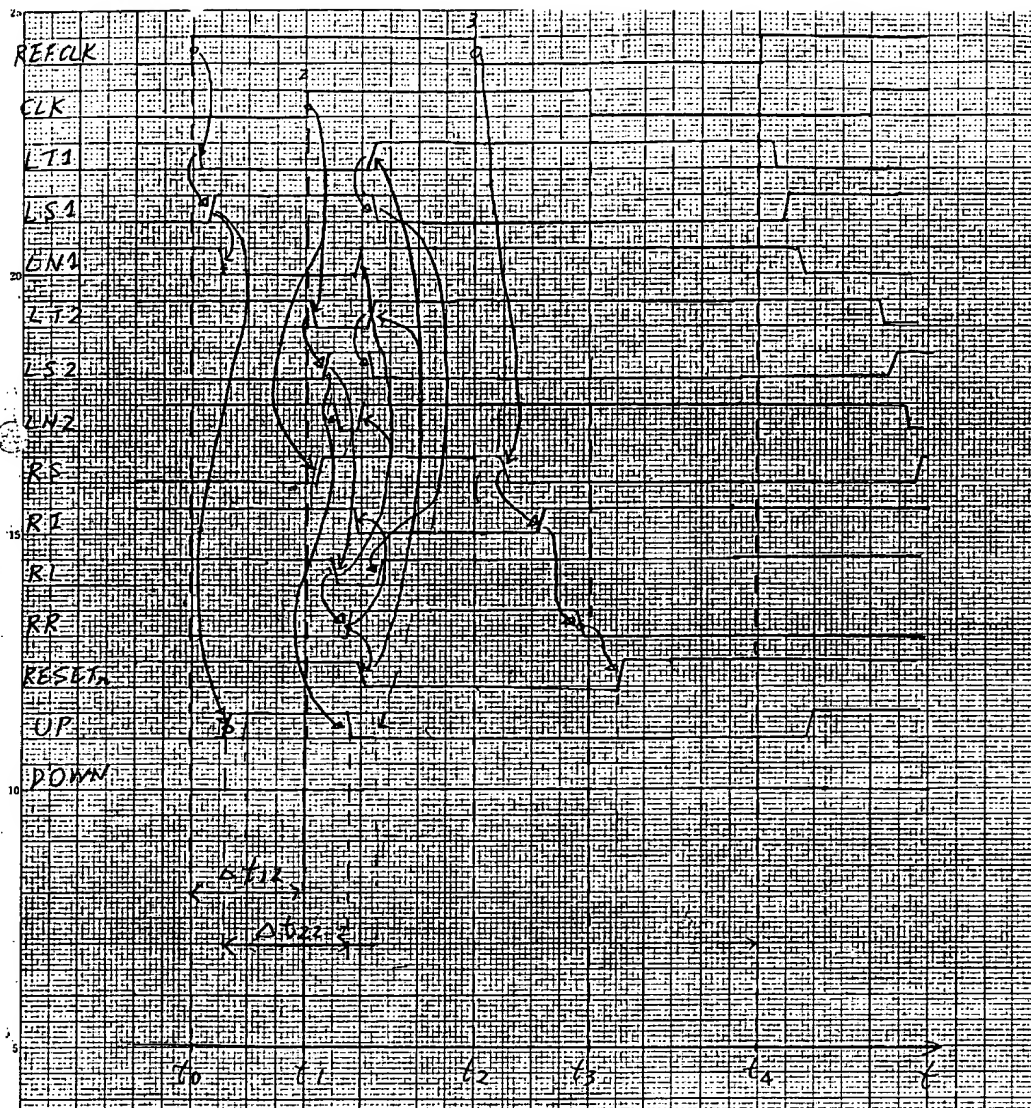
【図2】



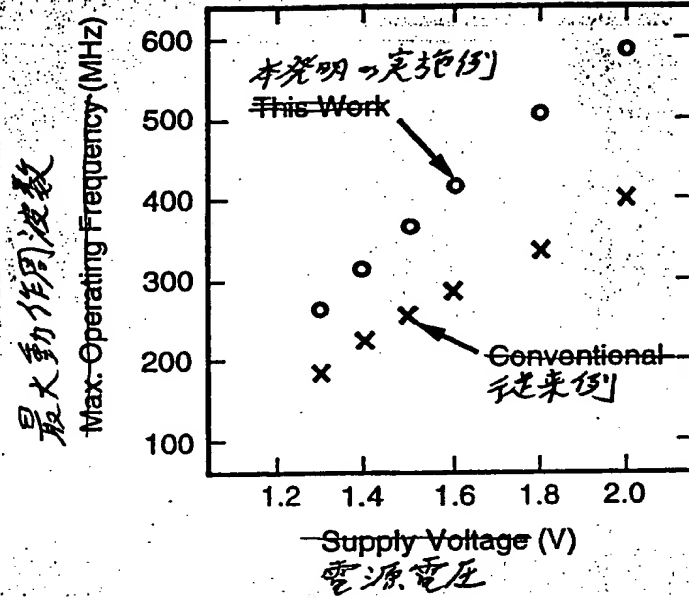
【図3】



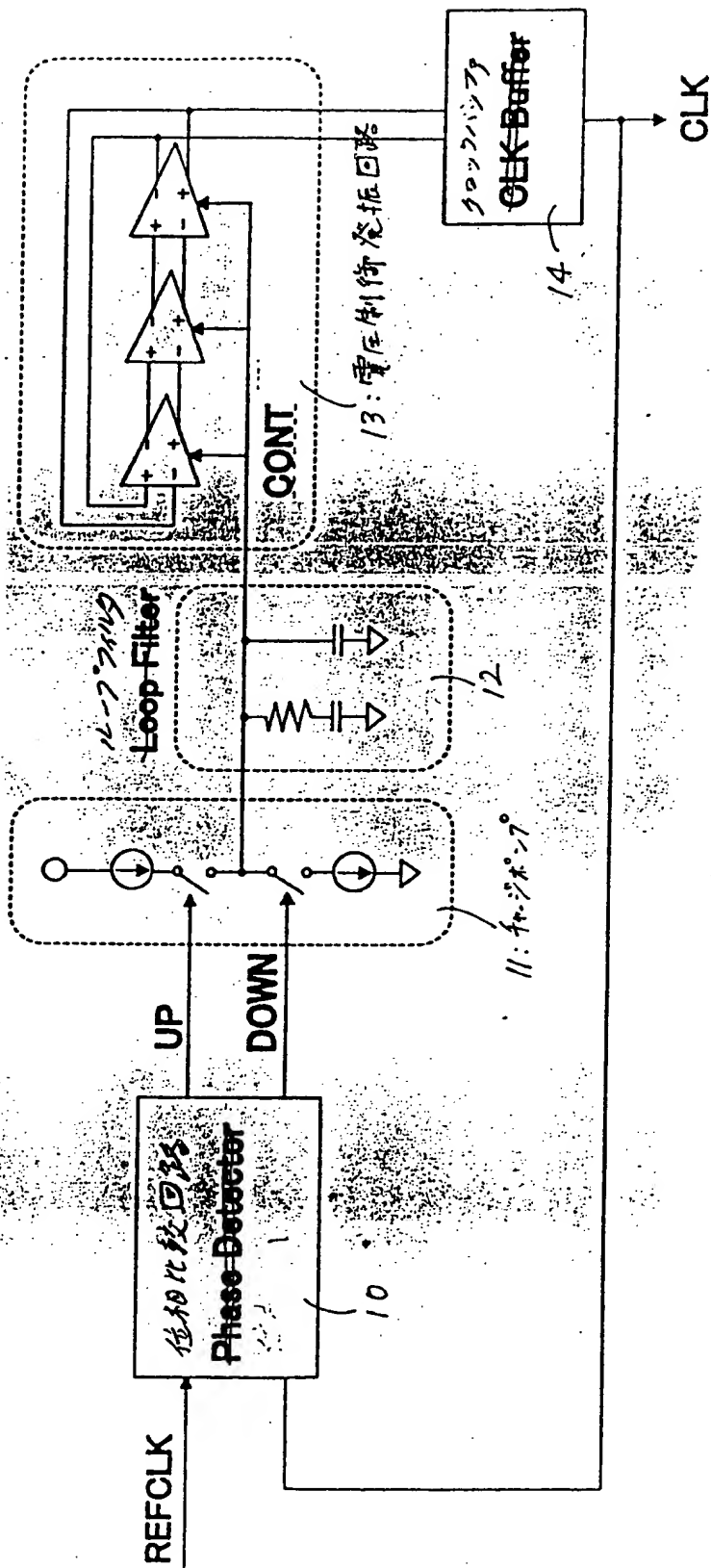
【図4】



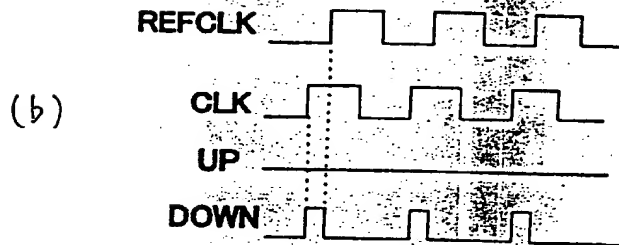
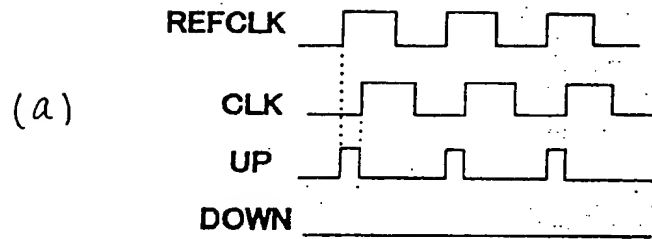
【図 5】



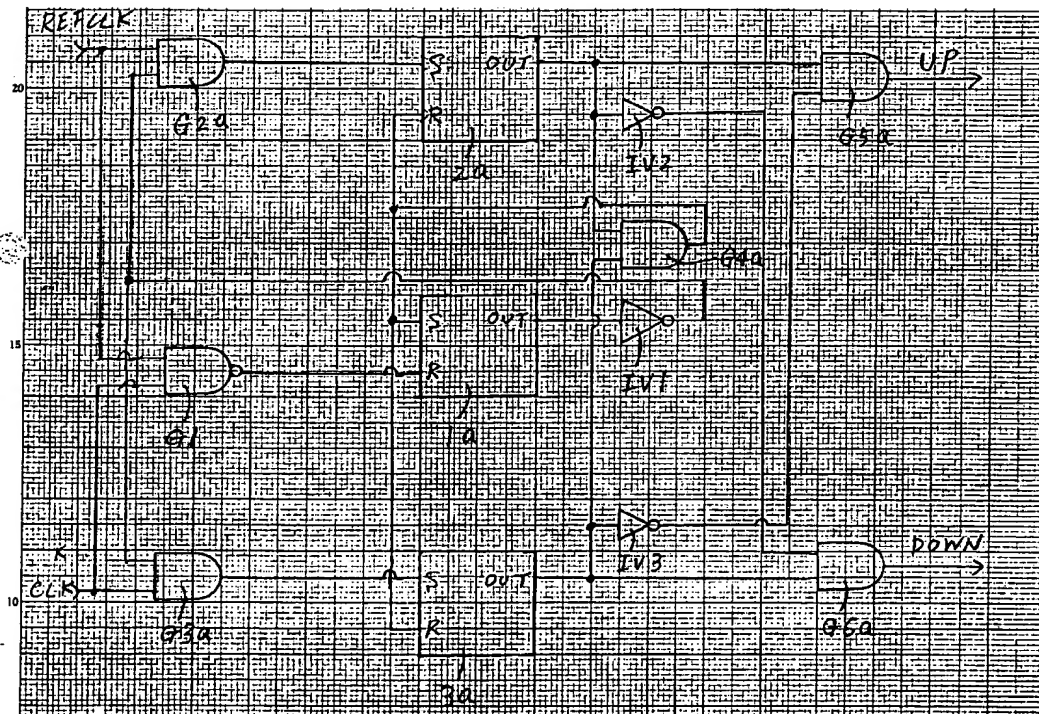
【図 6】



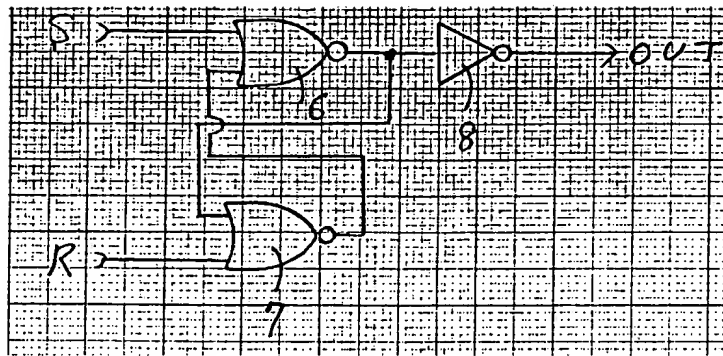
【図 7】



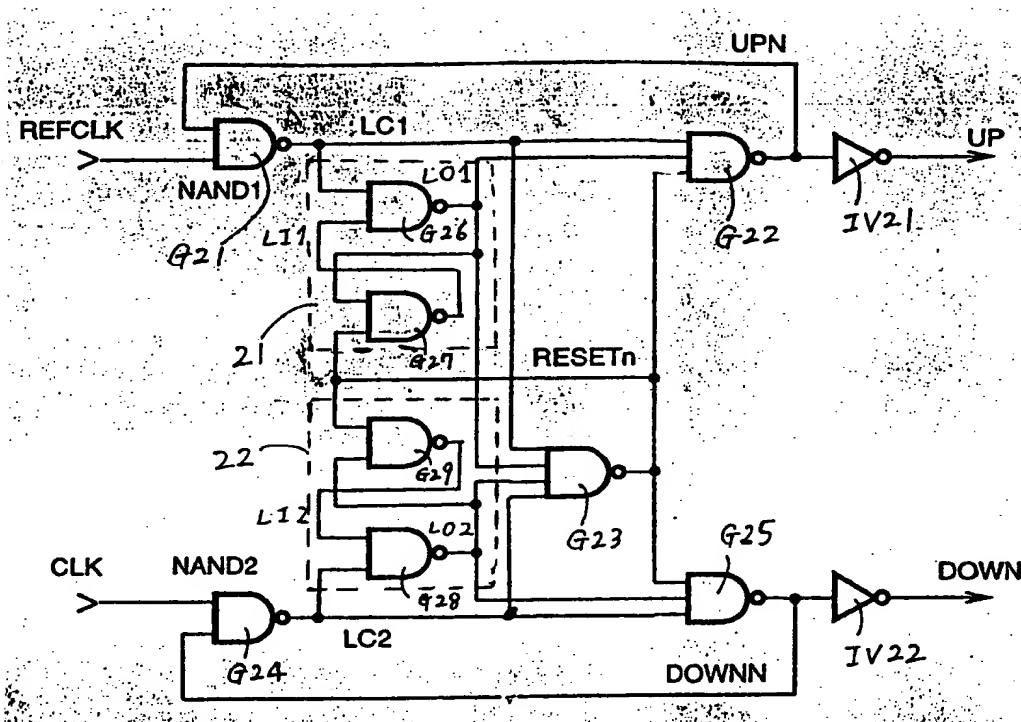
【図 8】



【図 9】



【図 10】



【図11】



【書類名】 要約書

【要約】

【課題】 最大動作周波数の高い位相比較回路およびフェーズ・ロックド・ループ回路を提供する。

【解決手段】 本発明の位相比較回路 1 0 は、それぞれ 2 個の NAND ゲートからなる 3 個の S-R フリップフロップ 1 ～ 3 と、NAND ゲート G 1 ～ G 6 と、インバータ IV 1 ～ IV 6 とを備えている。基準クロック信号 REFCLK とクロック信号 CLK との位相差が大きくても両信号の位相差に応じた UP 信号および DOWN 信号を出力できるようにしたため、従来よりも最大動作周波数を高くすることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝